

Requested Patent JP63128736

Title: SEMICONDUCTOR ELEMENT

Abstracted Patent JP63128736

Publication Date: 1988-06-01

Inventor(s): NISHIMURA YOSHIRO

Applicant(s): OLYMPUS OPTICAL CO LTD

Application Number: JP19860274173 19861119

Priority Number(s):

IPC Classification: H01L23/04 ; H01L23/28 ; H01L23/32 ; H01L23/52 ; H01L25/08

Equivalents:

ABSTRACT:

PURPOSE: To dispose a plurality of semiconductor chips in three dimensions on a loading substrate and to decrease a required area per one chip so that chip board composition of high mounting density can be realized, by fixing a first semiconductor chip on a loading substrate and disposing a second semiconductor chip in three dimensions on the first semiconductor chip and connecting the respective semiconductor chips with respective conductive patterns on the loading substrate and sealing the respective semiconductor chips.

CONSTITUTION: A first semiconductor chip 2 is fixed on a loading substrate 1, which consists of ceramics and glass-epoxy resin and the like, by die bonding. Bonding pads of the chip 2 are connected with conductive patterns, which are formed on the loading substrate 1, by the use of bonding wires 3, and next a cap 4 is put and stuck on the substrate 1 so as to seal the substrate 1. Bonding pads of a second semiconductor chip 5 fixed on the cap 4 are connected with the conductive patterns on the substrate 1 by the use of bonding wires 6. Sealing resin of a polyimide group is potted to entirely seal the cap 4, which seals the first semiconductor chip 2, and the second semiconductor chip 5 mounted on the cap 4.

⑫ 公開特許公報 (A)

昭63-128736

⑬ Int. Cl.

H 01 L 23/04
23/28
23/32
23/52
25/08

識別記号

庁内整理番号

Z-6835-5F
Z-6835-5F
E-8728-5F
8728-5F
Z-7638-5F

⑭ 公開 昭和63年(1988)6月1日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体素子

⑯ 特 願 昭61-274173

⑰ 出 願 昭61(1986)11月19日

⑱ 発 明 者 西 村 芳 郎 東京都渋谷区幡ヶ谷2丁目43番2号 オリジナル光学工業株式会社内

⑲ 出 願 人 オリジナル光学工業株式会社 東京都渋谷区幡ヶ谷2丁目43番2号

⑳ 代 理 人 弁理士 最上 健治

明 細 書

1. 発明の名称

半導体素子

2. 特許請求の範囲

搭載基板に第1の半導体チップをダイボンドにより固着し、該第1の半導体チップ上に第2の半導体チップを立体的に配置して、各半導体チップをそれぞれ搭載基板上の導電パターンに接続すると共に、各半導体チップを封止したことを特徴とする半導体素子。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体チップを搭載基板上に接続固定してなる、チップオンボード構成の半導体素子に関する。

(従来の技術)

従来のチップオンボード (C. O. B) 構成の半導体素子は、第8図内、aに示すように、セラミックやガラス・エポキシ樹脂などからなる基板21上に、半 体チップ22を直接ダイボンドにより固

着し、該半導体チップ22のボンディングパッドと前記基板21上に形成した導電パターンとをボンディングワイヤ23で接続したのち、封止樹脂24あるいはキャップ25で封止を行っている。また基板21上には必要に応じて他のチップ部品26が搭載されている。

(発明が解決しようとする問題点)

ところが、従来のチップオンボード構成の半導体素子は、基板上に半導体チップを1個ずつ平面的に配置しているため、多数の半導体チップを基板上に搭載する場合は、半導体チップ数分の面積を必要とし、高密度が得られないという問題点があった。

本発明は、従来のチップオンボード構成の半導体素子のかかる問題点を解決するためなされたもので、高密度を有するチップオンボード構成の半導体素子を提供することを目的とするものである。

(問題点を解決するための手段及び作用)

上記問題点を解決するため、本発明は、搭載基

板に第1 半導体チップをダイボンドにより固着し、該第1の半導体チップ上に第2 半導体チップを立体的に配置して、各半導体チップをそれぞれ搭載基板1上の導電パターンに接続すると共に、各半導体チップを封止して半導体素子を構成するものである。

このように構成することにより、2個の半導体チップを立体的に実装され、1チップ当たりの実装面積の縮小化が計れ、高密度実装が可能となる。(実施例)

以下実施例について説明する。第1図は、本発明に係る半導体素子の第1実施例を示す断面図である。この実施例は、セラミックやガラス・エポキシ樹脂等からなる搭載基板1に第1の半導体チップ2をダイボンドにより固着し、該チップ2のボンディングパッドと前記搭載基板1上に形成した導電パターンをボンディングワイヤ3を用いて接続したのちセラミック、ガラスエポキシ樹脂などからなるキャップ4を被せて基板1に接合し、封止を行う。

チップ4と、該キャップ4上にダイボンディングして設置した第2半導体チップ5とに第2のキャップ9を被せて基板1に接合し、これらを一体的に封止するものである。

第3図は、本発明の第3実施例を示す断面図である。この実施例は搭載基板1に第1の半導体チップ2をダイボンドで固着し、該チップ2のボンディングパッドと搭載基板1上に形成した導電パターンとをボンディングワイヤ3で接続したのち、封止樹脂をポッティングして封止部10を形成する。なお、このポッティングによる封止部10を形成する際、上面がほぼ平面状になるように形成する。

次いでポッティング封止部10の上面に第2半導体チップ5をダイボンドにより固着したのち、該チップ5のボンディングパッドと基板1の導電パターンとをボンディングワイヤ6で接続し、更に第1半導体チップ2に施した封止部10と、前記第2半導体チップ5とを一体的に封止するように、封止樹脂をポッティングして封止部11を形成し、半導体素子を構成するものである。

次いで前記キャップ4上に第2 半導体チップ5をダイボンドにより固着し、該第2半導体チップ5のボンディングパッドと基板1上 導電パターンとをボンディングワイヤ6で接続し、最後にエポキシ、ポリイミド、シリコン系などの封止樹脂を、第1半導体チップ2を封止したキャップ4及びその上に設置した第2半導体チップ5の全体を封止するようにポッティングして封止部1を形成し、チップオンボード構成の半導体素子を構成する。8は基板1上に接続固定した他のチップ部品である。

このように構成することにより、1個の半導体チップ取付面積に対して2個の半導体チップを搭載することができ、高実装密度が得られる。

第2図は、本発明の第2実施例を示す断面図である。この実施例は、第1図に示した実施例における封止樹脂のポッティングにより形成した封止部1で第2半導体チップを封止する代わりに、キャップを用いて封止したものである。すなわち、図示のように、第1半導体チップ2を封止したキ

第4図は、本発明の第4実施例を示す断面図である。この実施例は、上記各実施例と同様に、搭載基板1に第1半導体チップ2をダイボンドにより固着し、該チップ2のボンディングパッドと基板1の導電パターンとをボンディングワイヤ3で接続したのち、このボンディングワイヤ3を含めた第1半導体チップ2より若干大きい内側面積を有し、且つ第1半導体チップ2より若干高さを大に形成した四角形状の枠を、第1半導体チップ2を囲むように基板1上に設置して接合する。

次いで該枠12上に第2半導体チップ5をダイボンドにより接合し、該チップ5と基板1とをボンディングワイヤ6で接続したのち、前記枠12及び第2半導体チップ5を含めて封止するように封止樹脂をポッティングして封止部13を形成する。

この実施例では封止工程が一回で済むという利点がある。

第5図は、本発明の第5実施例を示す断面図である。この実施例では搭載基板1に第1半導体チップ2をダイボンドにより固着して、該チップ2

と基板1の導電パターンとをボンディングワイヤ3で接続したのち、第1半導体チップ2の上面に、ボンディングワイヤ3に接触しないように、チップ取置幅広面14'を有する絶縁性台板14を接合し、該台板14の幅広面14'に第2半導体チップ5をダイボンドにより接合し、第2半導体チップ5と基板1とをボンディングワイヤ6により接続したのち、第1半導体チップ2及び第2半導体チップ5を共通に封止するように封止樹脂をポッティングして封止部15を形成する。このように構成した場合も一回の封止工程により封止部を形成することができる。

第6図は、本発明の第6実施例を示す断面図である。この実施例は、第1図に示した実施例と同様に第1半導体チップ2に封止用キャップ4を被せたのち、該キャップ4上に該キャップ4とほぼ同一の外形を有するワイヤショート防止用枠16を接合する。次いで該封止用キャップ4の上面に第2半導体チップ5をダイボンドで接合したのち、該チップ5のボンディングパッドと基板1の電極

グパッドと基板1上に形成された導電パターンとをボンディングワイヤ3で接続したのち、封止樹脂をポッティングして封止部10を形成する。

次に、この封止部10の2倍以上の高さを有し、上板18'の内面の一部から側板18'の内面を通り、該側板18'の外周下端部に到る所定の導電パターン19を形成したキャップ18の上板18'の内面に第2半導体チップ5をダイボンドにより接合し、該チップ5のボンディングパッドとキャップ18の内面に形成した導電パターン19とをボンディングワイヤ6で接続する。次にこのように構成したキャップ18を、前記第1半導体チップ2を封止した封止部10上に被せて基板1に接合すると共に、キャップ18の側板18'の外周底部に形成されている導電パターン19と基板1に形成されている導電パターンとをハンダ20等により接続し、半導体素子を構成するものである。

本発明は、上記各実施例に示したものに限らず、例えば上記各実施例に示した第1半導体チップ及び第2半導体チップに対する封止手段あるいはそ

パターンとをボンディングワイヤ6で接続する。このボンディングワイヤ6はワイヤショート防止用枠16で支持されるように配設される。次いでキャップ4及び第2半導体チップ5及び枠16全体を封止するように封止用樹脂をポッティングして封止部17を形成する。

一般に2つの半導体チップを立体的に配置した場合高さが高くなり、したがって第2チップのボンディングパッドと基板の導電パターンとを接続するボンディングワイヤの長さが長くなり、該ワイヤとチップエッジ間のショートが発生しやすくなるが、この実施例では、第2半導体チップ5のボンディングパッドへ接続されるボンディングワイヤ6は、ワイヤショート防止用枠16で保持されているため、上記ワイヤショートの実生を有効に防止することができる。

第7図は、本発明の第7実施例を示す断面図である。この実施例は、第3図に示した第3実施例のように、搭載基板1に第1半導体チップ2をダイボンドにより固着し、該チップ2のボンディン

グパッドと基板1上に形成された導電パターンとをボンディングワイヤ3で接続したのち、封止樹脂をポッティングして封止部10を形成する。

以上実施例に基づいて説明したように、本発明によれば、複数個の半導体チップを搭載基板上に立体的に配設したので、1チップ当たりの所要面積を減少させ、高実装密度のチップオンボード構成の半導体素子を得ることができる。

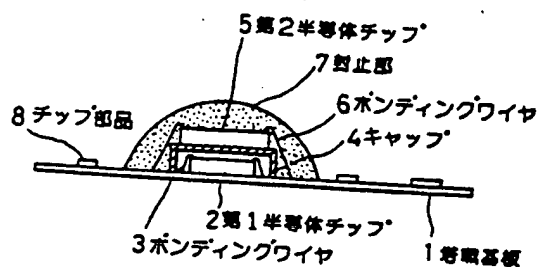
4. 図面の簡単な説明

第1図乃至第7図は、それぞれ本発明の第1乃至第7実施例を示す断面図、第8図は、従来のチップオンボード構成の半導体素子の構成例を示す断面図である。

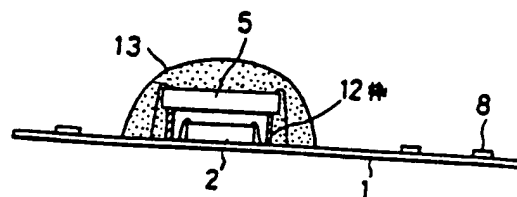
図において、1は搭載基板、2は第1半導体チップ、3、6はボンディングワイヤ、4、9はキャップ、5は第2半導体チップ、7、10、11、13、15、17は封止部、8はチップ部品、12は枠、14は台板、16はワイヤショート防止用、18はキャップ、19は導電パターン、20はハンダを示す。

発明者 株式会社 三菱電機
代理人 弁理士 藤 上 健 治

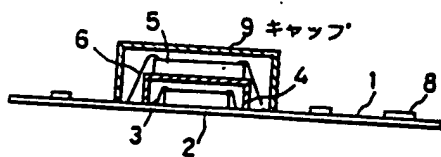
第1図



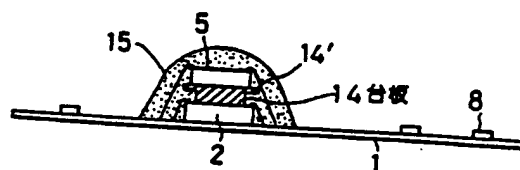
第4図



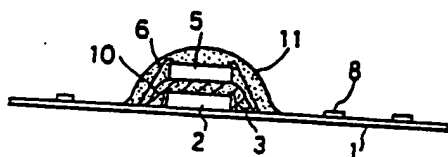
第2図



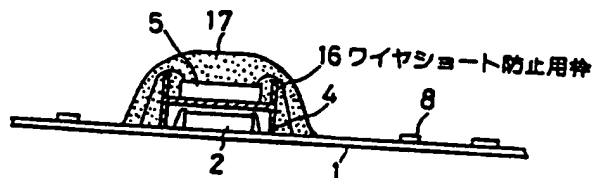
第5図



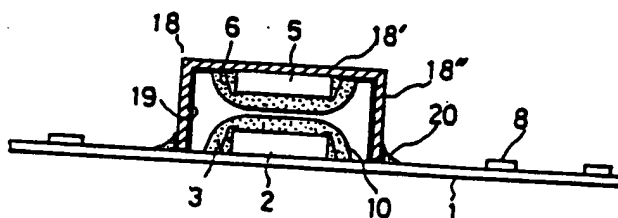
第3図



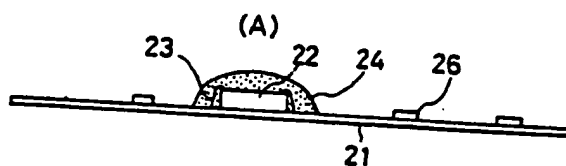
第6図



第7図



第8図



(B)

